

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-212009

(43)Date of publication of application : 25.08.1989

(51)Int.Cl.

H03G 3/10

(21)Application number : 63-035027

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 19.02.1988

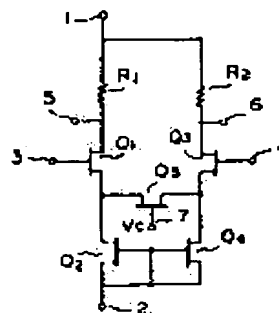
(72)Inventor : SATO HIDEAKI

(54) VARIABLE GAIN AMPLIFIER

(57)Abstract:

PURPOSE: To increase the input impedance and to avoid the output operating point due to gain control from fluctuated by adopting differential circuit constitution and varying a resistance of a field effect transistor(TR) connecting sources of field effect TRs in differential pairs so as to control the gain.

CONSTITUTION: The differential circuit constitution is adopted, where a 1st field effect TR Q1 and 2nd field effect TR Q2 are connected in differential pair, and sources of the 1st and 2nd field effect TRs Q1, Q2 are connected by a 5th field effect TR Q5. Since the drain-source voltage of the 5th field effect TR Q5 is always at nearly zero, the drain-source resistance is dependent on the gate voltage. The drain-source resistance is varied by controlling the gate voltage to vary the gain of the variable gain amplifier. Thus, it is possible to increase the input impedance and the output operating point is not fluctuated even if the gain is controlled.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-212009

⑤ Int.Cl.⁴
H 03 G 3/10

識別記号 庁内整理番号
B-7827-5J

⑬ 公開 平成1年(1989)8月25日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 可変利得増幅器

⑮ 特 願 昭63-35027

⑯ 出 願 昭63(1988)2月19日

⑰ 発 明 者 佐 藤 秀 暁 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑱ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
⑲ 代 理 人 弁理士 鈴木 敏明

明 細 書

1. 発明の名称

可変利得増幅器

2. 特許請求の範囲

ドレインが第1の負荷抵抗を介して第1の電源に接続された第1の電界効果トランジスタと、

ドレインが前記第1の電界効果トランジスタに接続されゲートとソースが第2の電源に接続された第2の電界効果トランジスタと、

ドレインが第2の負荷抵抗を介して前記第1の電源に接続された第3の電界効果トランジスタと、

ドレインが前記第3の電界効果トランジスタに接続されゲートとソースが前記第2の電源に接続された第4の電界効果トランジスタと、

ソースが前記第2の電界効果トランジスタのドレインに接続されドレインが前記第4の電界効果トランジスタのドレインに接続されゲートに利得制御用電圧が入力される第5の電界効果トランジスタとを備え、

前記第1および第2の電界効果トランジスタの

ゲートに信号を入力して各ドレインから信号を出力することを特徴とする可変利得増幅器。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、電界効果トランジスタ(以下、FETという)を用いた可変利得増幅器に関するものである。

(従来技術)

第2図は従来技術の可変利得増幅器の一例であって(例えば、信学技報82[224](昭58-1-19)電子通信学会)、入力端子8に入力された信号はFET Q₁と抵抗R₁からなるインパクタにより増幅され、FET Q₂、Q₃およびダイオードD₁~D₄からなるソースホロワを介して出力端子10から出力されるものである。本例の可変利得増幅器では、出力信号をFET Q₂を介して入力に帰還し、端子11から該FET Q₂のゲートに加える電圧を制御することによって増還量を変え、利得を制御するものである。なお、端子1、2、9は電源端子である。

特開平1-212009(2)

第3図は従来の可変利得増幅器の他の例であって(例えば、特開昭60-48607号公報)、入力端子1,2に入力された信号はFET Q₁₀, Q₁₁およびダイオードD₅, D₆からなるソースホロワを通り、FET Q₁₂を介してFET Q₁₃, Q₁₄および抵抗R₄からなるインバータに入力される。前記インバータからの出力信号はFET Q₁₄, Q₁₅およびダイオードD₇~D₉からなるソースホロワに入力され出力端子1,4から出力されるものである。本例の可変利得増幅器では、端子1,5から前記FET Q₁₃に加えるゲート電圧を制御することにより、初段のソースホロワと次段のインバータ間の結合効率を変え利得を制御する。なお、利得制御に伴う出力動作点の変動は、端子1,3から加える電圧を調整することによって抑えている。

(発明が解決しようとする課題)

しかしながら、第2図に示す可変利得増幅器では、入力インピーダンスが低いため前段に駆動用のバッファを設ける必要があり、また、増益量の変化に伴って入力インピーダンスが変化するため

インピーダンスの整合が非常に困難であった。更に、入力側を容量結合とした場合、入力インピーダンスが低いため低周波数領域の帯域を確保することができないという問題点があった。

一方、第3図に示す可変利得増幅器は、利得制御に伴って出力動作点変動するので、この変動を打消すために利得制御に対応してバイアス電圧を制御する必要があった。

本発明は以上に述べた問題点を除去し、入力インピーダンスが高く、しかも利得制御による出力動作点の変動が無い優れた可変利得増幅器を提供することを目的とするものである。

(課題を解決するための手段)

本発明は、ドレインが第1の負荷抵抗を介して第1の電源に接続された第1の電界効果トランジスタと、ドレインが前記第1の電界効果トランジスタに接続されゲートとソースが第2の電源に接続された第2の電界効果トランジスタと、ドレインが第2の負荷抵抗を介して前記第1の電源に接続された第3の電界効果トランジスタと、ドレイ

ンが前記第3の電界効果トランジスタに接続されゲートとソースが前記第2の電源に接続された第4の電界効果トランジスタと、ソースが前記第2の電界効果トランジスタのドレインに接続されドレインが前記第4の電界効果トランジスタのドレインに接続されゲートに利得制御用電圧が入力される第5の電界効果トランジスタとを備え、前記第1および第2の電界効果トランジスタのゲートに信号を入力して各ドレインから信号を出力することを特徴とする可変利得増幅器である。

(作用)

本発明は、第1の電界効果トランジスタと第2の電界効果トランジスタを差動対とし、前記第1および第2の電界効果トランジスタの各ソース間を第5の電界効果トランジスタにより接続した差動形の回路構成となっている。従って、前記第5の電界効果トランジスタのドレイン・ソース間電圧は常に零付近にあるので、そのドレイン・ソース間抵抗はゲート電圧に依存する。そこで前記ゲート電圧を制御することによりそのドレイン・ソ

ース間抵抗を変え、可変利得増幅器の利得を変えるものである。

(実施例)

第1図は本発明の実施例を示す回路図である。第1図において、1, 2は電源端子、3, 4は信号を入力する入力端子、5, 6は信号を出力する出力端子、R₁, R₂は負荷抵抗、Q₁はゲートが入力端子3に接続されドレインが出力端子5に接続されるとともに負荷抵抗R₁を介して電源端子1に接続されたFET、Q₂はドレインがFET 1のソースに接続されゲートとソースが電源端子2に接続されたFET、Q₃はゲートが入力端子4に接続されドレインが出力端子6に接続されるとともに負荷抵抗R₂を介して電源端子1に接続されたFET、Q₄はドレインがFET 3のソースに接続されゲートとソースが電源端子2に接続されたFET、Q₅はソースがFET 2のドレインに接続されドレインがFET 4のドレインに接続されたFET、7はFET 5のゲートに利得制御用電圧を入力する入力端子である。なお、FET Q₁とQ₃、FET Q₂と

特開平1-212009(3)

Q_1 はそれぞれ同一の特性を有し負荷抵抗 R_1 と R_2 とは同一の値を有するものである。

第1図に示す可変利得増幅器の動作について以下説明する。第4図は第1図に示すFETの静特性図であって、(a)はゲート・ソース電圧 V_{GS} をパラメータとするドレイン電流 I_{DS} —ドレイン・ソース電圧 V_{DS} 特性を示し、(b)はゲート・ソース電圧 V_{GS} をパラメータとするドレイン・ソース抵抗 R_{DS} —ドレイン・ソース電圧 V_{DS} 特性を示している。ドレイン・ソース抵抗 R_{DS} は(1)式で定義されるので、第4

$$R_{DS} = \frac{\partial V_{DS}}{\partial I_{DS}} \quad (1)$$

図(a)から(b)を得ることができる。この第4図(b)から、FETのドレイン・ソース電圧 V_{DS} が零ボルト付近にあるとき、ドレイン・ソース間抵抗 R_{DS} の大きさはゲート・ソース間電圧 V_{GS} に依存することが分かる。すなわち、ゲート・ソース間電圧 V_{GS} を変えることによりドレイン・ソース間抵抗 R_{DS} の大きさを制御することができることとなる。

$$G = \frac{R_L}{R'_{DS}} \quad (3)$$

すなわち、第1図において、FET Q_1 のゲートに加える利得制御用電圧 V_c を制御することにより、利得を G_1 から G_2 の範囲で変化させることができる。

以上説明したように、本実施例によれば差動形の回路構成としたので、入力インピーダンスが高く、また利得制御によっては出力動作点が変動しない優れた可変利得増幅器を実現することができる。

(発明の効果)

以上詳細に説明したように、本発明によれば差動形の回路構成とし、差動対をなす電界効果トランジスタの各ソース間を接続する電界効果トランジスタの抵抗値を変化させることにより利得の制御を行なっているので、入力インピーダンスを高くすることが可能となり、また利得を制御しても出力動作点は変動しないという優れた効果を得る

第1図に示す実施例において、回路は左右対象であり、FET Q_1 のソースとFET Q_2 のソースとはほぼ同電位にあるから、FET Q_2 のドレイン・ソース間電圧 V_{DS} は零に近い。従って、第4図において説明したように、FET Q_2 のゲート電圧を入力端子7から加える利得制御電圧 V_c を変えることによって、FET Q_2 のドレイン・ソース間抵抗 R_{DS} 、つまりFET Q_1 のソースと Q_2 のソースと間の抵抗を変えることができる。

今、FET Q_2 のドレイン・ソース間抵抗 R_{DS} を極めて小さい値に制御したとき、第1図に示す回路は通常の差動増幅器と同様となる。従ってFET Q_1 、 Q_2 の相互コンダクタンスを g_m とし、負荷抵抗 $R_1 = R_2 = R_L$ とすると、差動利得 G は(2)式となる。

$$G_1 = g_m R_L \quad (2)$$

一方、FET Q_2 のドレイン・ソース間抵抗 R_{DS} を極めて大きい値に制御したとき、FET Q_2 、 Q_1 のドレイン・ソース間抵抗が共に R'_{DS} であるとすると、差動利得 G は(3)式で表わすことができる。

ことができる。

更に差動増幅器が本来有する安定性を備えているので、安定でダイナミックレンジの大きい可変利得増幅器を実現することが可能となる。

4. 図面の簡単な説明

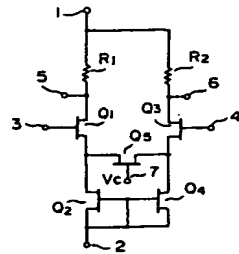
第1図は本発明の可変利得増幅器の回路図、第2図および第3図は従来の可変利得増幅器の回路図である。
第4図はFETの静特性図

1, 2…電極端子、3, 4, 7…入力端子、5, 6…出力端子、 $Q_1 \sim Q_2$ …電界効果トランジスタ、 R_1, R_2 …負荷抵抗

特許出願人 沖電気工業株式会社

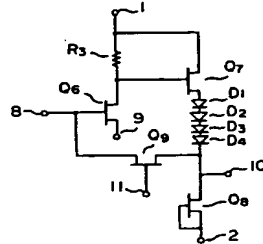
代理人 鈴木 敏 明

特開平1-212009(4)



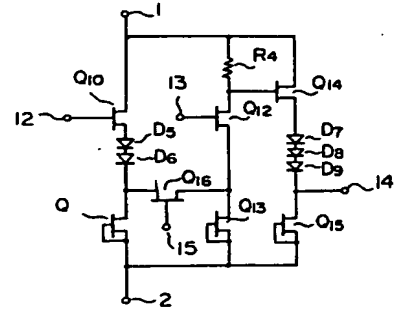
本発明の可変利得増幅器

第1図



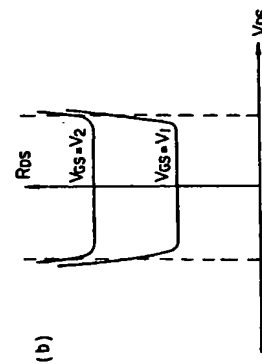
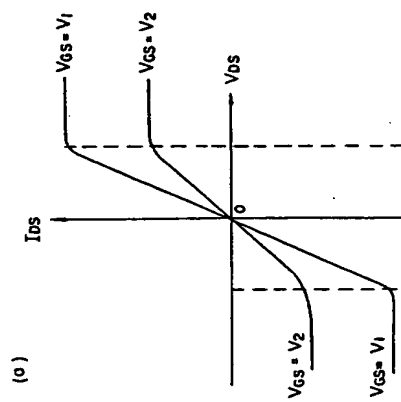
従来可変利得増幅器

第2図



従来可変利得増幅器

第3図



FETの静特性

第4図